

Índice

Presentación de la práctica	Pág. 2
1. Comparadores	
1.1 Explicación del circuito en Reposo	Pág. 3
Diseño en Reposo.....	Pág. 4
1.2. Ejemplo: $A = 6$, $B = 4$ y $X = 0$	Pág. 4
1.3. Ejemplo: $A = 6$, $B = 4$ y $X = 1$	Pág. 5
1.4. Ejemplo: $A = 13$, $B = 14$ y $X = 0$	Pág. 5
1.5. Ejemplo: $A = 3$, $B = 4$ y $X = 1$	Pág. 6
2. Teclado	
Explicación del sistema	Pág. 7
2.1 Ejemplo Sin Pulsación.....	Pág. 8
2.2 Ejemplo 5 Pulsado	Pág. 8
2.3 Ejemplo 5 y 9 Pulsados, prioridad al mayor	Pág. 9
Anexo I	
C.I. 4008 (Sumador)	Pág. 11
C.I. 4585 (Comparador).....	Pág. 12
C.I. 74157 (Multiplexor).....	Pág. 13
C.I. 74147 (Encoder)	Pág. 14

Práctica 6

Subsistemas combinacionales I.

Descripción de la práctica:

-En la presente practica, se pretende que el alumno asimile algunos de los circuitos realizados mediante sistemas considerados combinacionales, compuestos por circuitos integrados que ayuden en las labores de diseño y realización de cada uno de los ejercicios propuestos.

Recursos comunes empleados:

- Protoboard: Soporte físico del montaje.
- Fuente de alimentación: Suministra tensión al circuito.
- Placa de simulación: Con ella se han generado los bits enviados, a las funciones de entrada, y se han visualizado las salidas pertinentes.
- Circuitos Integrados:
 - 4008 (Sumador de 4 bits) Descrito en el Anexo I.
 - 4070 (4 Puertas Xor)
 - 4069 (6 Puertas Not)
 - 4585 (Comparador de 4 bits) Descrito en Anexo I.
 - 74157 (Multiplexor cuádruple 2 a 1) Descrito en Anexo I.
 - 74147 (Encoder 10 a 4) Descrito en Anexo I.

Desarrollo de ejercicios:

1º) Obtén un circuito que, dadas dos magnitudes A y B, de cuatro bits cada una, y una entrada de control X, permita realizar las siguientes operaciones:

X = 0 → Deberá obtenerse la menor de ellas, siempre que sea menor de 12, en caso contrario se obtendrá este valor.

X = 1 → Deberá obtenerse la mayor de ellas, siempre que sea mayor de 5, en caso contrario se obtendrá este valor.

Este ejercicio se basará en el empleo de dos comparadores, y tres multiplexores; para comenzar el diseño del sistema, se presentará un esquema, en el que se mostrará, en orden, lo que se deberá ir haciendo en cada paso.

- 1º- Comparar las dos magnitudes de cuatro bits.
- 2º- Obtener por medio de la señal X, la magnitud que ésta indique.
- 3º- Esta misma señal X, deberá indicar que valor se va a usar en la siguiente comparación, 5 para la mayor, y 12 para la menor.
- 4º- Una vez obtenidas las dos señales, la de 12 o 5, y la de entrada deseada, se compararán.
- 5º- Igual que en el segundo paso, por medio de la señal X, se obtendrá, a la salida de un multiplexor, la señal deseada entre las indicadas en el paso anterior.

Con esto tenemos un sistema que cumple los requisitos indicados. Fijémonos que en los pasos dos y cinco se obtienen dos señales gracias a un multiplexor, cuya selección se guiará una tabla, explicada en el punto 1.1.

1.1 Explicación del circuito en reposo.

Veamos como se han representado en el siguiente esquema los bloques del apartado anterior, en un primer momento, las dos señales son comparadas gracias al primer C.I. 4585, cuya salida $A < B$, se lleva a un puerta XOR junto a la señal X, esto hace que el primer multiplexor 74157, se rija por la siguiente tabla:

X	A<B	Salida
0	0	B
0	1	A
1	0	A
1	1	B

Al tener en X un 0, se requiere la menor señal de las dos, con que cuando $A < B$ es 0, quiere decir que la menor de las dos es B, mientras que si la señal $A < B$ es 1, la señal requerida será A, lo contrario que pasa cuando X es 1, que se pide la mayor de las dos, con que si $A < B$ es 1 se sacará B, ya que será mayor, mientras que si es 0, la señal requerida será A, porque ésta será mayor si no se

cumple $A < B$.

Gracias a la tabla anterior, sabemos lo que entra a la siguiente etapa de comparación, uno de los puertos de entrada será completado con la entrada de usuario elegida, y el otro deberá tener un 5 o un 12, según se desee la mayo o menor de las dos entradas seleccionadas, de este modo, sabemos que hay que colocar un nuevo multiplexor con dos señales fijas, una en 5 (0101) y otra en 12 (1100), que serán seleccionadas por la señal X directamente, obteniendo el siguiente modo de funcionamiento:

$X = 0 \rightarrow$ Se obtendrá el 12.

$X = 1 \rightarrow$ Se obtendrá el 5.

Una vez consideradas las dos señales, podemos prever que el comparador dará una salida parecida a la anterior de $A < B$, que en este caso llamaremos $C < U$, de Constante < Usuario, donde Constante será la señal de 5 o 12, y en Usuario tendremos la señal solicitada, la mayor o menor de las introducidas por el usuario. Esta salida, será llevada junto a X a una nueva puerta XOR, que indicará al último multiplexor la señal a mostrar finalmente, guiada por la siguiente tabla:

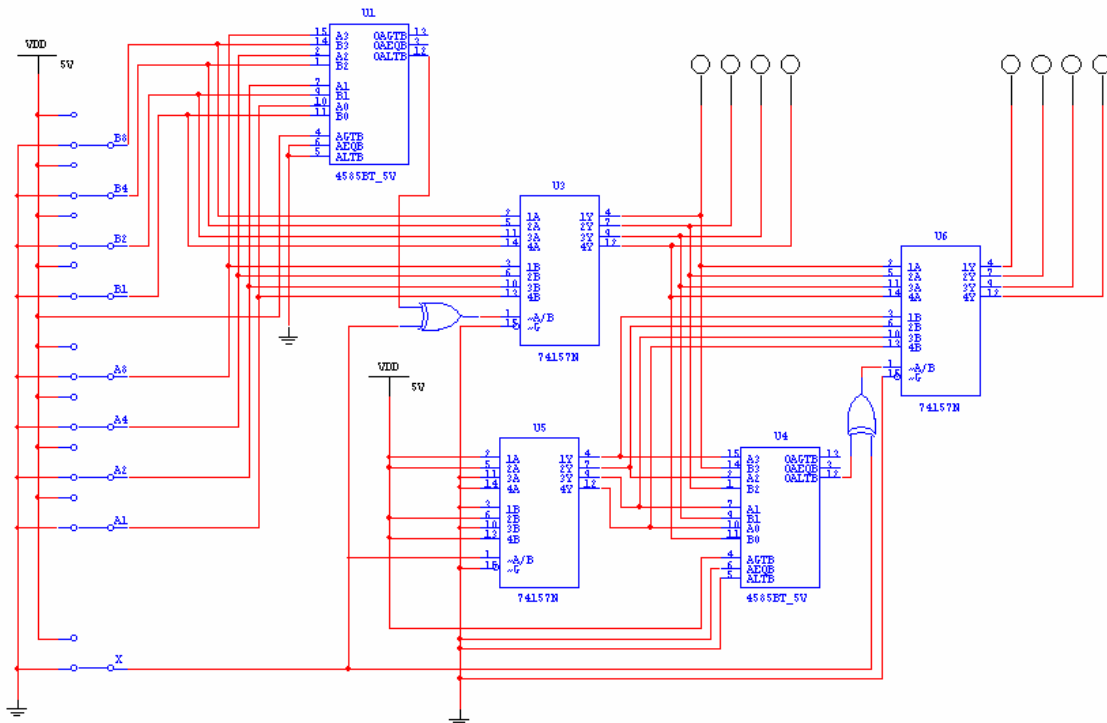
X	C<U	Salida
0	0	U
0	1	C
1	0	C
1	1	U

El funcionamiento de esta tabla es igual que el de la anterior, por lo que se obvian las explicaciones.

Por último, resaltemos lo ya comentado, la salida de este último multiplexor, será la que realmente sea mostrada, cumpliendo así, las condiciones indicadas en el enunciado.

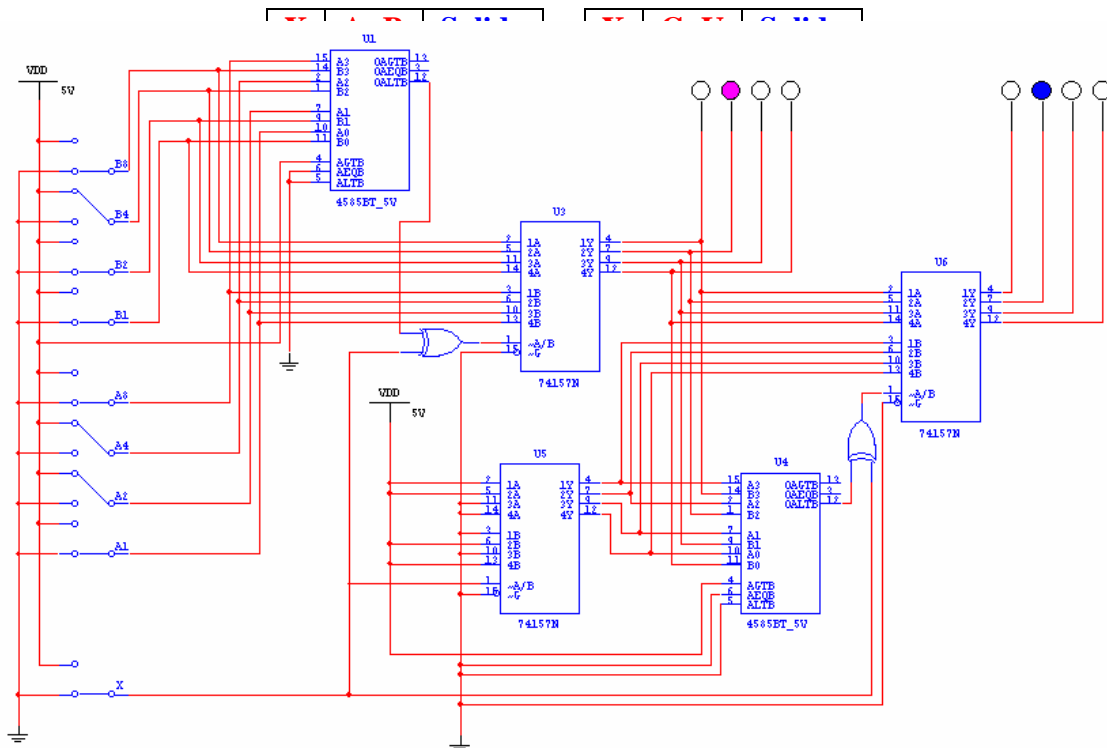
El esquema presentado en la siguiente página, representa el diseño en reposo del circuito indicado en esta explicación, y tras el se harán una serie de ejemplos.

Diseño realizado en reposo:



1.2. Ejemplo: $A = 6$, $B = 4$ y $X = 0$

Gracias a las tablas ya presentadas, sabemos lo que se va obteniendo en cada punto, este resultado será indicado en amarillo en ambas:

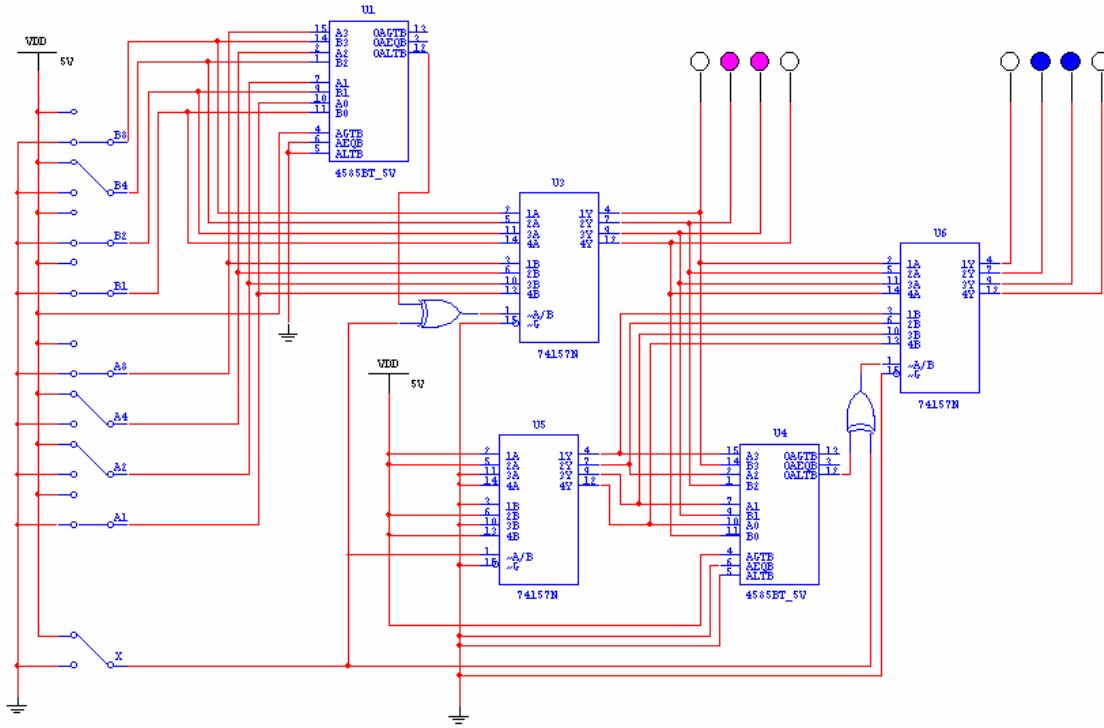


1.3. Ejemplo: A = 6, B = 4 y X = 1

Igual que en el ejercicio anterior, se mostrarán las tablas de funcionamiento de este ejemplo:

X	A<B	Salida
1	0	A

X	C<U	Salida
1	1	U

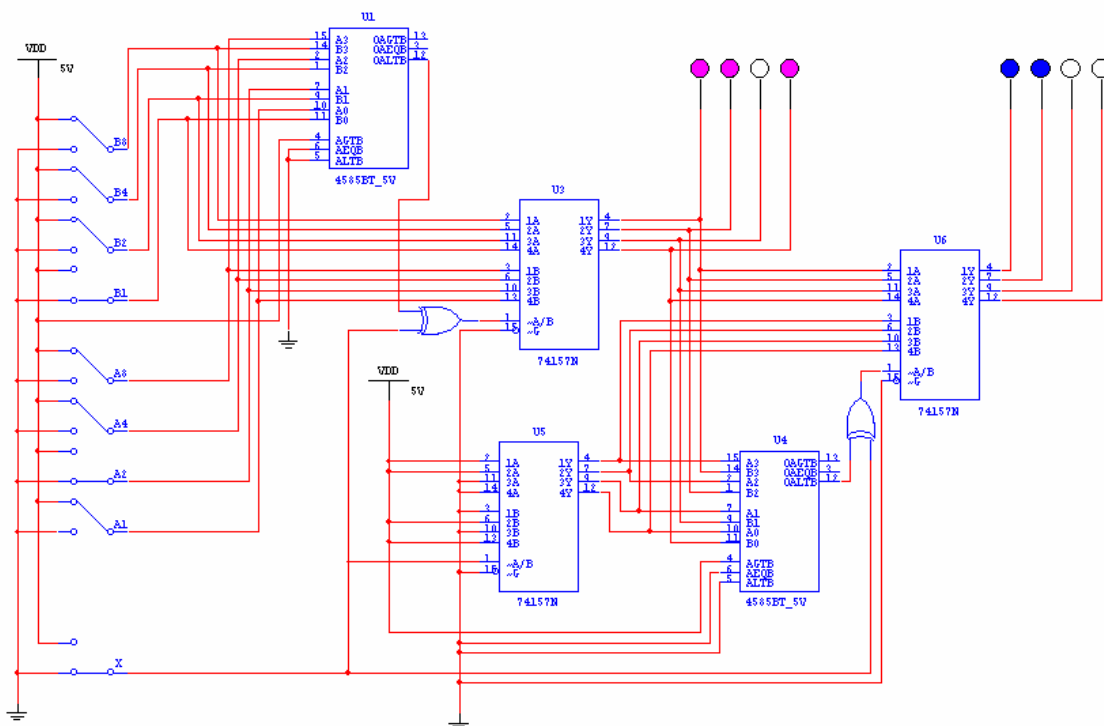


1.4. Ejemplo: A = 13, B = 14 y X = 0

Las tablas de funcionamiento y el esquema son los siguientes:

X	A<B	Salida
0	1	A

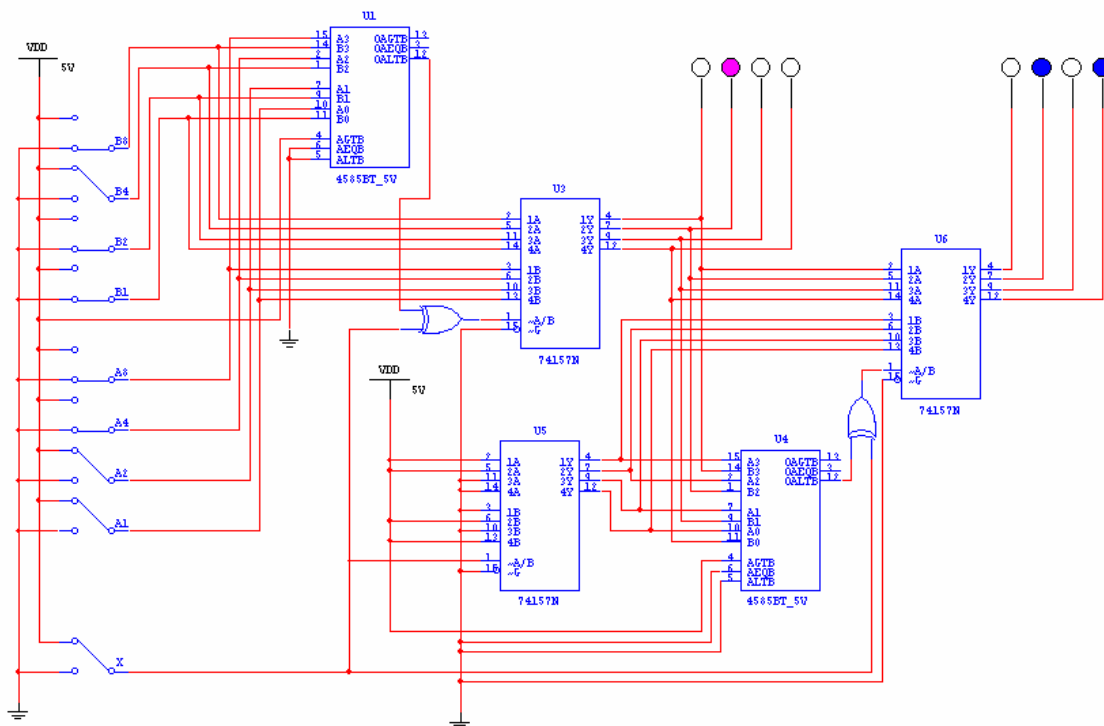
X	C<U	Salida
0	1	C



1.5. Ejemplo: A = 3, B = 4 y X = 1
 El funcionamiento es el siguiente:

X	A<B	Salida
1	1	B

X	C<U	Salida
1	0	C



2º) Obtén un codificador con teclado matricial de decimal a BCD+3, con entradas y salidas activas por nivel bajo y prioridad a la mayor entrada.

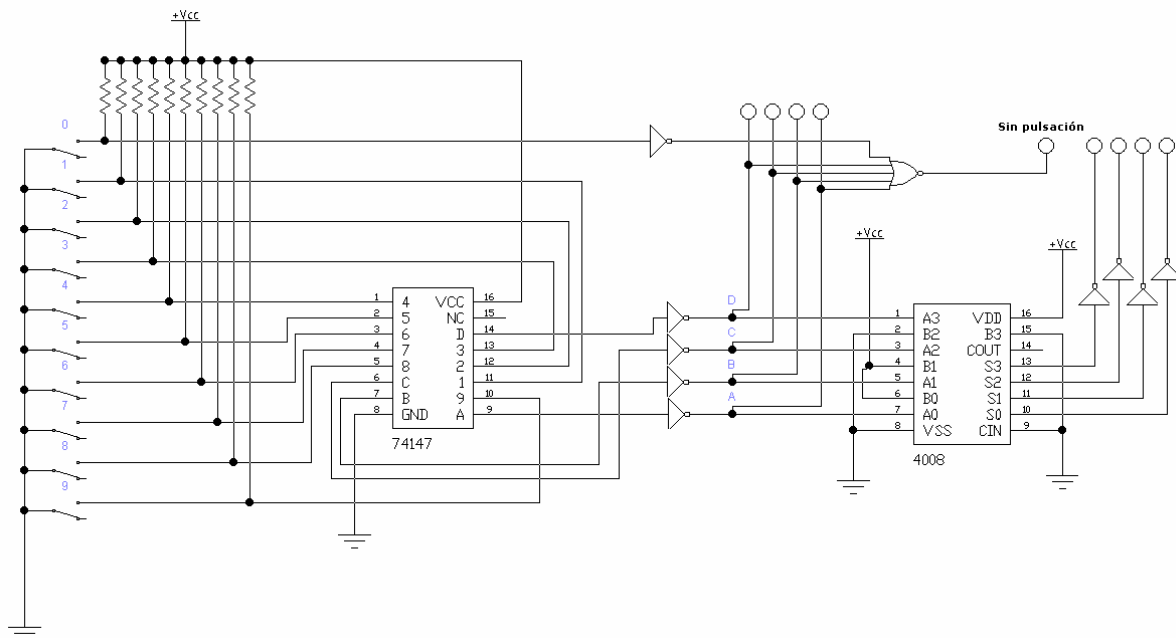
El sistema dispondrá también de una señal activa por nivel alto que indique la situación de no activación de entradas.

Este ejercicio tendrá a la entrada un teclado matricial, que en los esquemas será representado por sus contactos, los cuales llevarán una resistencia de pull-up a masa, tras este teclado encontraremos un encoder el C.I. 74147, encargado de la codificación de decimal a BCD, con salidas por nivel bajo, y prioridad a la mayor entrada.

Como el ejercicio requiere que la salida esté en BCD+3 por nivel bajo, habrá que añadir a la salida del encoder, una serie de puertas inversoras, para que entre la señal por nivel alto a un sumador, el C.I. 4008, encargado de sumarle 3 a la señal de entrada, con lo que tenemos ya el código en BCD+3, así, solo queda invertir la señal, que se hace pasando por otro grupo de inversores la señal del 4008.

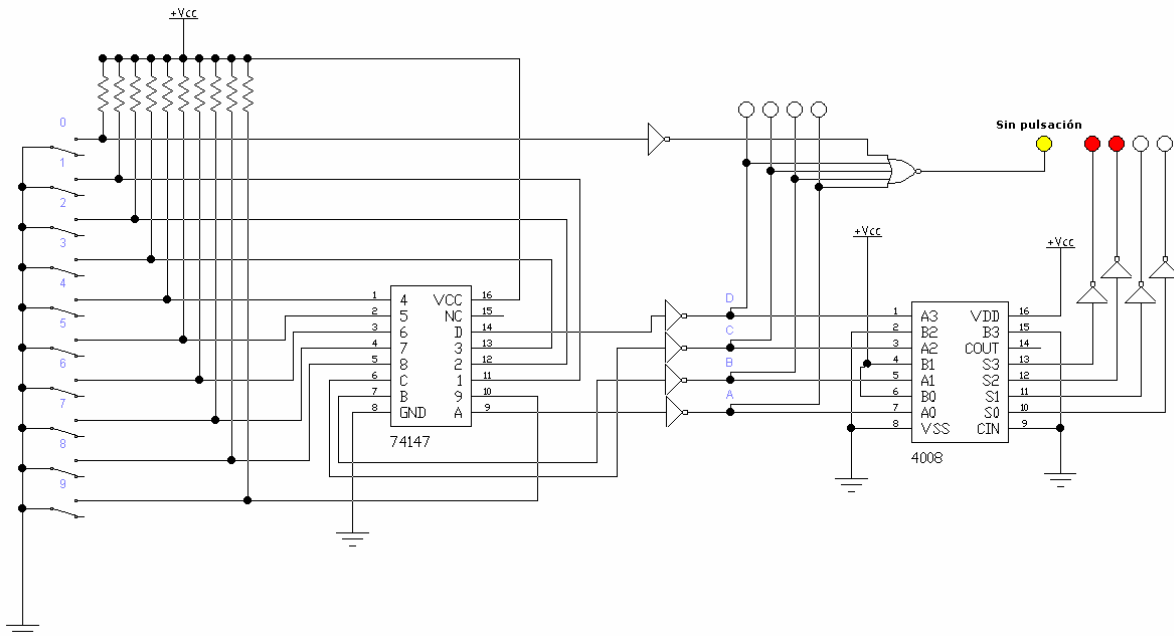
Con esto, sólo queda introducir la entrada del 4008, a una puerta NOR, junto con la señal invertida de la pulsación equivalente al 0, de este modo obtenemos un sistema que nos indica por nivel alto, la situación de no pulsación.

El circuito, entonces quedará del siguiente modo:



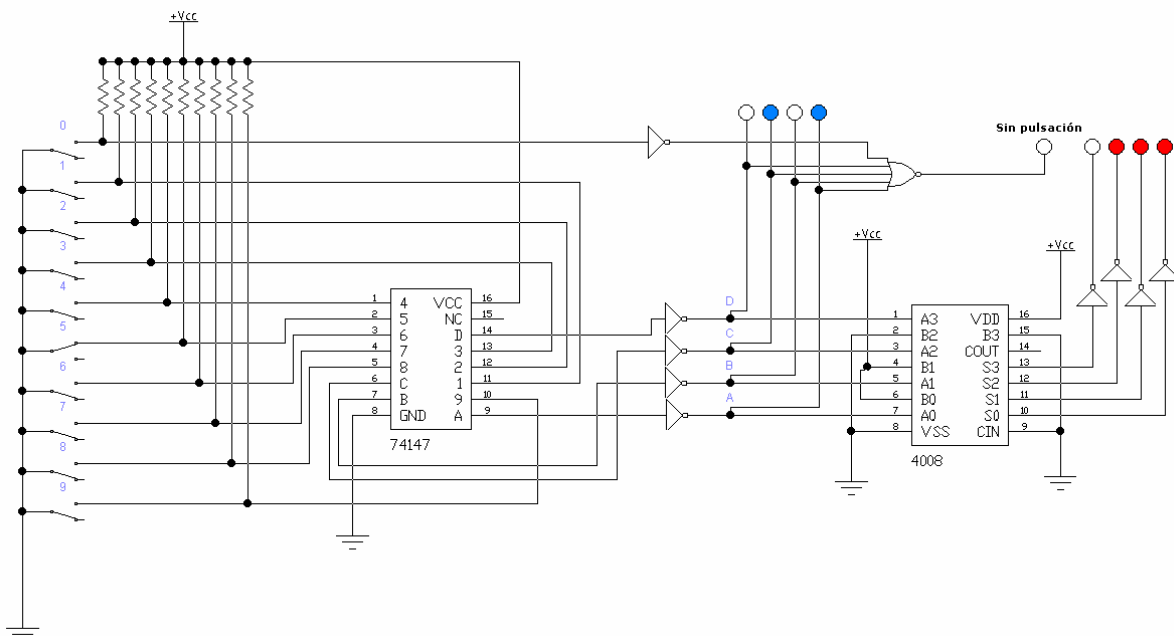
2.1. Ejemplo: Sin Pulsación

En este ejemplo se observa la reacción del sistema ante una situación de no pulsación, por lo que deberá aparecer en la salida el código correspondiente a un 0, es decir un 3 en BCD+3 invertido, y deberá estar en 1 la señal nominada Sin Pulsación.



2.2. Ejemplo: 5 Pulsado

Con la tecla del cinco pulsada, la señal “Sin pulsación” deberá desaparecer, en la visualización intermedia debemos tener un cinco en BCD natural, y a la salida del 4008 tendremos un cinco en BCD+3, es decir un ocho invertido, o sea, un siete (0111)



2.2. Ejemplo: 5 y 9 Pulsados, prioridad al mayor

Al pulsar las teclas 5 y 9, el encoder 74147, se encarga de dar prioridad a la entrada de mayor peso, así, el 5 será descartado, ya que el 9 será prioritario, por lo que éste es el dato obtenido a la salida, que al ser invertido, se introduce al 4008, quien se encarga de sumar 3, con que tendremos un 12, es decir un 1100, que al ser también invertido, resulta un 0011, como se ve en el siguiente ejemplo:

